

# PHOTODETECTING APPARATUS

Patent number: JP2000310561  
 Publication date: 2000-11-07  
 Inventor: MIZUNO SEIICHIRO  
 Applicant: HAMAMATSU PHOTONICS KK  
 Classification:  
 - international: G01J1/44; H01L31/10  
 - european: G01J1/46; H01L27/146A4; H01L31/02H2; H04N5/217S; H04N5/335  
 Application number: JP19990119824 19990427  
 Priority number(s): JP19990119824 19990427

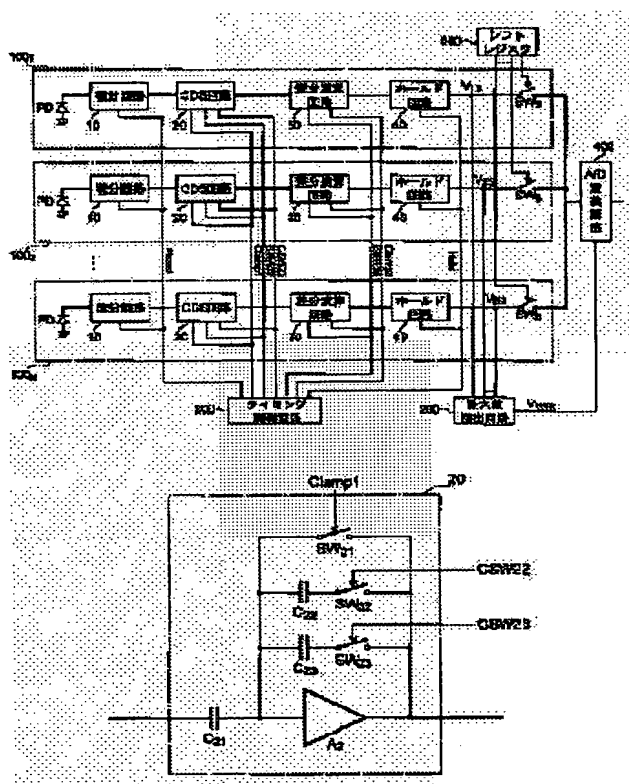
Also published as:

EP1197735 (A1)  
 WO0065317 (A1)  
 US6757627 (B2)  
 US2002029122 (A1)

Report a data error here

## Abstract of JP2000310561

**PROBLEM TO BE SOLVED:** To obtain a photodetecting apparatus having an excellent S/N ratio. **SOLUTION:** A current signal responsive to an amount of a received light is output from a photodiode PD. An integrator 10 stores a charge in response to the signal, and outputs a voltage signal responsive to an amount of the stored charge. In a CDS circuit 20, the signal output from the integrator 10 is input to a capacitive element C21, and a charge amount responsive to a change amount of the input signal is stored in any of capacitive elements C22 and C23 selected by switch elements SW21 to SW23. In a difference calculator 30, a difference of the charge amounts stored in the elements C22 and C23 of the circuit 20 is obtained, and a voltage signal responsive to the difference is output.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-310561

(P2000-310561A)

(43)公開日 平成12年11月7日(2000.11.7)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト*(参考)
G 0 1 J 1/44		G 0 1 J 1/44	E 2 G 0 6 5
H 0 1 L 31/10		H 0 1 L 31/10	G 5 F 0 4 9

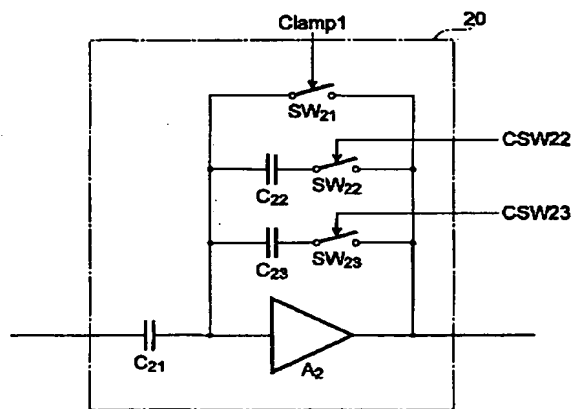
審査請求 未請求 請求項の数4 O L (全 12 頁)

(21)出願番号	特願平11-119824	(71)出願人	000236436 浜松ホトニクス株式会社 静岡県浜松市市野町1126番地の1
(22)出願日	平成11年4月27日(1999.4.27)	(72)発明者	水野 誠一郎 静岡県浜松市市野町1126番地の1 浜松ホ トニクス株式会社内
		(74)代理人	100088155 弁理士 長谷川 芳樹 (外2名)
		Fターム(参考)	2G065 AB28 BA09 BC03 BC08 BC10 BC13 BC14 BC15 BC16 BC19 BC22 BC28 CA05 CA12 DA15 DA18 5F049 MA01 NA04 NB07 RA02 UA01 UA20

(54)【発明の名称】 光検出装置

(57)【要約】

【課題】 S/N比が優れた光検出装置を提供する。  
【解決手段】 受光した光の光量に応じた電流信号がフ  
ォトダイオードPDから出力され、積分回路10では、  
この電流信号に応じて電荷が蓄積されて、その蓄積され  
た電荷の量に応じた電圧信号が出力される。CDS回路  
20では、積分回路10から出力される電圧信号が容量  
素子C<sub>21</sub>に入力し、スイッチ素子SW<sub>21</sub>~SW<sub>23</sub>により  
選択された容量素子C<sub>22</sub>およびC<sub>23</sub>のうち何れか一方  
に、その入力した電圧信号の変化量に応じた電荷量が蓄  
積される。そして、差分演算回路30では、CDS回路  
20の容量素子C<sub>22</sub>およびC<sub>23</sub>それぞれに蓄積されてい  
る電荷量の差分が求められ、その差分に応じた電圧信号  
が出力される。



FP03-0379  
-0060-KP  
04.3.9  
REPORT

## 【特許請求の範囲】

【請求項1】 受光した光の光量に応じた電流信号を出力する受光素子と、  
前記受光素子から出力された電流信号に応じて電荷を蓄積して、その蓄積された電荷の量に応じた電圧信号を出力する積分回路と、  
前記積分回路から出力される電圧信号を入力する入力端と出力端との間に順に設けられた第1の容量素子および増幅器と、前記増幅器の入出力間に並列的に設けられ容量値が互いに等しい第2の容量素子および第3の容量素子と、前記第2および前記第3の容量素子のうち何れか一方を選択して前記電圧信号の変化量に応じた電荷量を蓄積させるスイッチ手段と、を有するCDS回路と、  
前記CDS回路の前記第2および前記第3の容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧信号を出力する差分演算回路と、  
を備えることを特徴とする光検出装置。

【請求項2】 前記積分回路、前記CDS回路および前記差分演算回路それぞれの動作を制御するタイミング制御回路を更に備え、被写体に向けてスポット光を投光する投光手段とともに用いられる光検出装置であって、前記タイミング制御回路は、  
前記投光手段により前記被写体に前記スポット光が投光されている第1の期間に、前記受光素子が当該スポット光成分および背景光成分を受光したときに前記積分回路が出力した電圧信号の変化量に基づいて第1の電荷量を前記CDS回路の第2の容量素子に蓄積させ、  
前記投光手段により前記被写体に前記スポット光が投光されていない第2の期間に、前記受光素子が前記背景光成分を受光したときに前記積分回路が出力した電圧信号の変化量に基づいて第2の電荷量を前記CDS回路の第3の容量素子に蓄積させ、  
前記第1および前記第2の期間の後の第3の期間に、前記CDS回路の前記第2および前記第3の容量素子それぞれに蓄積されている電荷量の差分を前記差分演算回路に演算させて、その差分に応じた電圧信号を前記差分演算回路から出力させる、  
ことを特徴とする請求項1記載の光検出装置。

【請求項3】 前記受光素子、前記積分回路、前記CDS回路および前記差分演算回路をN組( $N \geq 2$ )備え、N個の前記差分演算回路それぞれに対応して設けられ、各差分演算回路から出力される電圧信号を保持して出力するN個のホールド回路と、  
N個の前記ホールド回路それぞれから出力される電圧信号を順次に入力し、その電圧信号をデジタル信号に変換して、そのデジタル信号を出力するA/D変換回路と、  
を更に備えることを特徴とする請求項1記載の光検出装置。

【請求項4】 N個の前記差分演算回路または前記ホールド回路それぞれから出力される電圧信号の最大値を検

出する最大値検出回路を更に備え、  
前記A/D変換回路は前記最大値検出回路により検出された最大値に基づいてA/D変換レンジを設定する、  
ことを特徴とする請求項3記載の光検出装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、受光素子に入射する光のうち背景光成分を除去して信号光成分のみを検出する光検出装置に関するものである。

## 【0002】

【従来の技術】光検出装置は、1以上の受光素子を有しており、各受光素子が出力した電流信号を積分回路により積分して、その積分結果である電圧信号を出力する。また、光検出装置によっては、アナログ信号である上記電圧信号をデジタル信号に変換(A/D変換)して、このデジタル信号を出力するものもある。もし、このA/D変換の際に電圧信号が所定値を超える場合には、その電圧信号に基づいてA/D変換され出力されるデジタル信号は、その所定値に対応する値となって飽和し、その結果、正確な光検出ができないという問題点がある。そこで、従来では、上記電圧信号の予想される最大値またはそれ以上の値を上記所定値として設定することにより、上記のような飽和が起こらないようにしていた。また、対数圧縮等のテクニックを用いてダイナミックレンジを拡げる場合もあった。

【0003】また、光検出装置は、例えばカメラに組み込まれるバッシブ測距装置に用いられている。この測距装置では、発光ダイオード等の投光手段から被写体に投光されたスポット光の反射を2つの光検出装置それぞれにより撮像し、撮像された2つの像に基づいて測距が行われる。このとき、スポット光成分(信号光成分)を撮像する際には背景光成分も重畳されて撮像されることから、スポット光が投光されていないときに2つの光検出装置それぞれにより背景光成分のみを撮像して、両者の差分をとることでスポット光成分のみの像を得て、測距精度の向上を図っている。

## 【0004】

【発明が解決しようとする課題】しかし、従来の光検出装置における積分回路では、積分回路の要素回路である増幅器が有する熱雑音等の各積分動作毎に異なる値の雑音成分に対して対策を施していないことから、ノイズ誤差が生じる可能性がある。したがって、この各積分動作毎に異なるノイズ成分により、受光素子が受光する光の光量すなわち上記電圧信号の値が小さい場合には、光検出のS/N比は悪い。

【0005】また、従来の光検出装置におけるA/D変換では、飽和が起こらないようにするために上記所定値として大きな値を設定することから、受光素子が受光する光の光量すなわち上記電圧信号の値が小さい場合には、出力されるデジタル信号の分解能は悪くなる。

【0006】さらに、光検出装置が測距装置に用いられる場合のように、スポット光成分および背景光成分の撮像結果から背景光成分の撮像結果を差し引くことによりスポット光成分のみの像を得る場合には、以下のような問題点がある。すなわち、スポット光成分に比べて背景光成分が大きい場合には、その背景光成分が重畳されたスポット光成分を受光したときの上記電圧信号が非常に大きくなり、それ故、飽和が起こらないようにするために上記所定値として更に大きな値を設定する必要がある。したがって、差し引いた結果として得られるスポット光成分に基づいて出力されるデジタル信号は分解能が更に悪くなる。

【0007】以上のように、従来の光検出装置ではS/N比が悪く、また、A/D変換する場合には出力されるデジタル信号の分解能が悪い。そこで、本発明は、上記問題点を解消する為になされたものであり、S/N比が優れた光検出装置を提供することを目的とする。また、A/D変換する場合に、受光量が大きくても飽和することなく、受光量が小さくても分解能が優れた光検出装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明に係る光検出装置は、(1) 受光した光の光量に応じた電流信号を出力する受光素子と、(2) 受光素子から出力された電流信号に応じて電荷を蓄積して、その蓄積された電荷の量に応じた電圧信号を出力する積分回路と、(3) 積分回路から出力される電圧信号を入力する入力端と出力端との間に順に設けられた第1の容量素子および増幅器と、増幅器の入出力間に並列的に設けられ容量値が互いに等しい第2の容量素子および第3の容量素子と、第2および第3の容量素子のうち何れか一方を選択して電圧信号の変化量に応じた電荷量を蓄積させるスイッチ手段と、を有するCDS回路と、(4) CDS回路の第2および第3の容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧信号を出力する差分演算回路と、を備えることを特徴とする。

【0009】この光検出装置によれば、受光した光の光量に応じた電流信号が受光素子から出力され、積分回路では、受光素子から出力された電流信号に応じて電荷が蓄積されて、その蓄積された電荷の量に応じた電圧信号が出力される。CDS（相関二重サンプリング、Correlated Double Sampling）回路では、積分回路から出力される電圧信号が第1の容量素子に入力し、スイッチ手段により選択された第2および第3の容量素子のうち何れか一方に、その入力した電圧信号の変化量に応じた電荷量が蓄積される。そして、差分演算回路では、CDS回路の第2および第3の容量素子それぞれに蓄積されている電荷量の差分が求められ、その差分に応じた電圧信号が出力される。

【0010】また、本発明に係る光検出装置は、積分回

路、CDS回路および差分演算回路それぞれの動作を制御するタイミング制御回路を更に備え、被写体に向けてスポット光を投光する投光手段とともに用いられる光検出装置であって、タイミング制御回路は、(1) 投光手段により被写体にスポット光が投光されている第1の期間に、受光素子が当該スポット光成分および背景光成分を受光したときに積分回路が出力した電圧信号の変化量に基づいて、第1の電荷量をCDS回路の第2の容量素子に蓄積させ、(2) 投光手段により被写体にスポット光が投光されていない第2の期間に、受光素子が背景光成分を受光したときに積分回路が出力した電圧信号の変化量に基づいて、第2の電荷量をCDS回路の第3の容量素子に蓄積させ、(3) 第1および第2の期間の後の第3の期間に、CDS回路の第2および第3の容量素子それぞれに蓄積されている電荷量の差分を差分演算回路に演算させて、その差分に応じた電圧信号を差分演算回路から出力させる、ことを特徴とする。

【0011】この場合には、タイミング制御回路による制御の下に、第1の期間に、受光素子がスポット光成分および背景光成分を受光したときに積分回路が出力した電圧信号の変化量に応じた第1の電荷量がCDS回路の第2の容量素子に蓄積される。また、第2の期間に、受光素子が背景光成分を受光したときに積分回路が出力した電圧信号の変化量に応じた第2の電荷量がCDS回路の第3の容量素子に蓄積される。そして、第3の期間に、CDS回路の第2および第3の容量素子それぞれに蓄積されている電荷量の差分が差分演算回路により求められて、その差分に応じた電圧信号が差分演算回路から出力される。この差分演算回路から出力される電圧信号は、スポット光成分に応じたものとなる。なお、第1および第2の期間のうち何れが先であってもよい。

【0012】また、本発明に係る光検出装置は、(1) 受光素子、積分回路、CDS回路および差分演算回路をN組（ $N \geq 2$ ）備え、(2) N個の差分演算回路それぞれに対応して設けられ、各差分演算回路から出力される電圧信号を保持して出力するN個のホールド回路を更に備え、また、(3) N個のホールド回路それぞれから出力される電圧信号を順次に入力し、その電圧信号をデジタル信号に変換して、そのデジタル信号を出力するA/D変換回路を更に備える、ことを特徴とする。この場合には、受光素子、積分回路、CDS回路、差分演算回路およびホールド回路がN組備えられている。各組の差分演算回路から出力される電圧信号は、ホールド回路により保持される。そして、A/D変換回路では、N個のホールド回路それぞれから出力される電圧信号が順次に入力され、その電圧信号がデジタル信号に変換されて、そのデジタル信号が出力される。すなわち、1次元像または2次元像が撮像されて、その撮像結果がデジタル信号として出力される。また、本発明に係る光検出装置は、N個の差分演算回路またはホールド回路それぞれから出力

される電圧信号の最大値を検出する最大値検出回路を更に備え、A/D変換回路は、最大値検出回路により検出された最大値に基づいてA/D変換レンジを設定すること、を特徴とする。この場合には、最大値検出回路により、N個の差分演算回路またはホールド回路それぞれから出力される電圧信号の最大値が検出される。そして、A/D変換回路では、最大値検出回路により検出された最大値に基づいてA/D変換レンジが設定される。

【0013】

【発明の実施の形態】以下、添付図面を参照して本発明の実施の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。また、Nは2以上の整数であり、添え字nは特に明示しない限り1からNまでの任意の整数を示すものとする。

【0014】先ず、本発明に係る光検出装置の実施形態について、図1～図8を用いて説明する。図1は本実施形態に係る光検出装置の全体の概略構成図である。本実施形態に係る光検出装置は、N個のユニット100<sub>1</sub>～100<sub>N</sub>、最大値検出回路200、タイミング制御回路300、A/D変換回路400ならびにシフトレジスタ500を備えて構成されている。各ユニット100<sub>n</sub>は、フォトダイオードPD、積分回路10、CDS回路20、差分演算回路30、ホールド回路40およびスイッチ素子SW<sub>n</sub>を含む。各ユニット100<sub>n</sub>の積分回路10は互いに同様の構成であり、各ユニット100<sub>n</sub>のCDS回路20は互いに同様の構成であり、各ユニット100<sub>n</sub>の差分演算回路30は互いに同様の構成であり、また、各ユニット100<sub>n</sub>のホールド回路40は互いに同様の構成である。したがって、N個のユニット100<sub>1</sub>～100<sub>N</sub>は互いに同様の構成である。

【0015】各ユニット100<sub>n</sub>のフォトダイオードPDは、アノード端子が接地され、カソード端子が積分回路10の入力端子に接続されている。フォトダイオードPDは、受光した光の光量に応じた電流信号を、アノード端子から積分回路10の入力端子へ出力する。各ユニット100<sub>n</sub>のフォトダイオードPDは、1次元状または2次元状に配置されており、1次元像または2次元像を受光する。

【0016】図2は本実施形態に係る光検出装置の積分回路10の回路図である。各ユニット100<sub>n</sub>の積分回路10は、入力端子と出力端子との間に互いに並列にアンプA<sub>1</sub>、容量素子C<sub>1</sub>およびスイッチ素子SW<sub>1</sub>が接続されている。積分回路10は、スイッチ素子SW<sub>1</sub>が閉じているときには、容量素子C<sub>1</sub>を放電して初期化する。一方、積分回路10は、スイッチ素子SW<sub>1</sub>が開いているときには、フォトダイオードPDから入力端子に入力した電荷を容量素子C<sub>1</sub>に蓄積して、その蓄積された電荷に応じた電圧信号を出力端子から出力する。スイッチ素子SW<sub>1</sub>は、タイミング制御回路300から出力

されるReset信号に基づいて開閉する。

【0017】図3は本実施形態に係る光検出装置のCDS回路20の回路図である。各ユニット100<sub>n</sub>のCDS回路20は、入力端子と出力端子との間に順に第1の容量素子C<sub>11</sub>およびアンプA<sub>1</sub>を有している。また、スイッチ素子SW<sub>11</sub>、互いに縦続接続された第2の容量素子C<sub>12</sub>およびスイッチ素子SW<sub>12</sub>、ならびに、互いに縦続接続された第3の容量素子C<sub>13</sub>およびスイッチ素子SW<sub>13</sub>が、アンプA<sub>1</sub>の入出力間に互いに並列的に接続されている。容量素子C<sub>11</sub>およびC<sub>12</sub>それぞれの容量は互いに等しい。

【0018】CDS回路20は、スイッチ素子SW<sub>11</sub>～SW<sub>13</sub>が閉じているときには、容量素子C<sub>11</sub>およびC<sub>12</sub>それぞれを放電して初期化する。スイッチ素子SW<sub>11</sub>およびSW<sub>12</sub>が開きスイッチ素子SW<sub>13</sub>が閉じているときには、入力端子から容量素子C<sub>11</sub>を経て入力した第1の電荷を容量素子C<sub>12</sub>に蓄積して、その蓄積された電荷に応じた電圧信号を出力端子から出力する。スイッチ素子SW<sub>11</sub>およびSW<sub>12</sub>が開きスイッチ素子SW<sub>13</sub>が閉じているときには、入力端子から容量素子C<sub>11</sub>を経て入力した第2の電荷を容量素子C<sub>12</sub>に蓄積して、その蓄積された電荷に応じた電圧信号を出力端子から出力する。スイッチ素子SW<sub>11</sub>は、タイミング制御回路300から出力されるClamp1信号に基づいて開閉する。スイッチ素子SW<sub>12</sub>は、タイミング制御回路300から出力されるCSW2信号に基づいて開閉する。また、スイッチ素子SW<sub>13</sub>は、タイミング制御回路300から出力されるCSW23信号に基づいて開閉する。

【0019】図4は本実施形態に係る光検出装置の差分演算回路30の回路図である。各ユニット100<sub>n</sub>の差分演算回路30は、入力端子と出力端子との間に順にスイッチ素子SW<sub>11</sub>、容量素子C<sub>1</sub>およびアンプA<sub>1</sub>を有し、容量素子C<sub>1</sub>とアンプA<sub>1</sub>との接続点がスイッチ素子SW<sub>12</sub>を介して接地されている。差分演算回路30は、スイッチ素子SW<sub>12</sub>を閉じているときにスイッチ素子SW<sub>11</sub>を一定期間だけ閉じることで容量素子C<sub>1</sub>に電荷Q<sub>1</sub>だけ充電し、スイッチ素子SW<sub>11</sub>を開いているときにスイッチ素子SW<sub>12</sub>を一定期間だけ閉じることで容量素子C<sub>1</sub>から電荷Q<sub>2</sub>を放電し、このようにして、電荷Q<sub>1</sub>と電荷Q<sub>2</sub>との差分すなわち電荷(Q<sub>1</sub>−Q<sub>2</sub>)を容量素子C<sub>1</sub>に蓄積して、その蓄積された電荷(Q<sub>1</sub>−Q<sub>2</sub>)に応じた電圧信号をアンプA<sub>1</sub>から出力する。スイッチ素子SW<sub>11</sub>は、タイミング制御回路300から出力されるSample信号に基づいて開閉する。また、スイッチ素子SW<sub>12</sub>は、タイミング制御回路300から出力されるClamp2信号に基づいて開閉する。

【0020】図5は本実施形態に係る光検出装置のホールド回路40の回路図である。各ユニット100<sub>n</sub>のホールド回路40は、入力端子と出力端子との間に順にスイッチ素子SW<sub>1</sub>およびアンプA<sub>1</sub>を有し、スイッチ素子

SW<sub>i</sub>とアンプA<sub>i</sub>との接続点が容量素子C<sub>i</sub>を介して接地されている。ホールド回路40は、スイッチ素子SW<sub>i</sub>が閉じているときに差分演算回路30から出力された電圧信号を容量素子C<sub>i</sub>に記憶し、スイッチ素子SW<sub>i</sub>が開いた後も、容量素子C<sub>i</sub>の電圧信号を保持して、その電圧信号をアンプA<sub>i</sub>を介して出力する。スイッチ素子SW<sub>i</sub>は、タイミング制御回路300から出力されるHold信号に基づいて開閉する。各ユニット100<sub>i</sub>のスイッチ素子SW<sub>i</sub>は、シフトレジスタ500により制御されて順次に関き、ホールド回路40から出力される電圧信号をA/D変換回路400に順次に入力させる。

【0021】図6は本実施形態に係る光検出装置の最大値検出回路200の回路図である。最大値検出回路200は、NMOSトランジスタT<sub>1</sub>~T<sub>n</sub>、抵抗器R<sub>2,01</sub>~R<sub>2,0n</sub>および差動アンプA<sub>2,01</sub>を備える。各トランジスタT<sub>i</sub>のソース端子は接地され、各トランジスタT<sub>i</sub>のドレイン端子は、抵抗器R<sub>2,0i</sub>を介して電源電圧V<sub>dd</sub>に接続されるとともに、抵抗器R<sub>2,0i</sub>を介して差動アンプA<sub>2,01</sub>の反転入力端子に接続されている。各トランジスタT<sub>i</sub>のゲート端子は、ユニット100<sub>i</sub>のホールド回路40の出力端子と接続されており、ホールド回路40から出力される電圧信号V<sub>h,i</sub>が入力する。また、差動アンプA<sub>2,01</sub>の反転入力端子と出力端子との間には帰還抵抗器R<sub>2,0i</sub>が設けられ、差動アンプA<sub>2,01</sub>の非反転入力端子は接地されている。この最大値検出回路100では、各ユニット100<sub>i</sub>のホールド回路40から出力された電圧信号V<sub>h,i</sub>がトランジスタT<sub>i</sub>のゲート端子に入力され、各電圧信号V<sub>h,i</sub>のうちの最大値に応じた電位がトランジスタT<sub>i</sub>のドレイン端子に現れる。そして、そのドレイン端子の電位は、抵抗器R<sub>2,01</sub>およびR<sub>2,0n</sub>それぞれの抵抗値の比に応じた増幅率で差動アンプA<sub>2,01</sub>により増幅され、その増幅された電圧の値が最大電圧値V<sub>max</sub>として出力端子からA/D変換回路400へ出力される。

【0022】図7は本実施形態に係る光検出装置のA/D変換回路400の回路図である。A/D変換回路400は、最大値検出回路200から出力される最大電圧値V<sub>max</sub>を入力し、この最大電圧値V<sub>max</sub>をA/D変換レンジとする。そして、A/D変換回路400は、各ユニット100<sub>i</sub>のホールド回路40から出力される電圧信号V<sub>h,i</sub>をスイッチ素子SW<sub>i</sub>を介して順次に入力し、その電圧信号(アナログ信号)をデジタル信号に変換して出力する。A/D変換回路400は、可変容量積分回路410、比較回路A<sub>4,01</sub>、容量制御部420および読み出し部430を備える。

【0023】可変容量積分回路410は、容量素子C<sub>4,01</sub>、アンプA<sub>4,01</sub>、可変容量部C<sub>4,00</sub>およびスイッチ素子SW<sub>4,01</sub>を備える。アンプA<sub>4,01</sub>は、各ユニット100<sub>i</sub>のホールド回路40から出力されスイッチ素子SW<sub>i</sub>を介して順次に到達した電圧信号V<sub>h,i</sub>を、容量素子C<sub>4,01</sub>を介して反転入力端子に入力する。アンプA<sub>4,01</sub>の非反

転入力端子は接地されている。可変容量部C<sub>4,00</sub>は、容量が可変であって制御可能であり、アンプA<sub>4,01</sub>の反転入力端子と出力端子との間に設けられ、入力した電圧信号に応じて電荷を蓄える。スイッチ素子SW<sub>4,01</sub>は、アンプA<sub>4,01</sub>の反転入力端子と出力端子との間に設けられ、開いているときには可変容量部C<sub>4,00</sub>に電荷の蓄積を行わせ、閉じているときには可変容量部C<sub>4,00</sub>における電荷蓄積をリセットする。そして、可変容量積分回路410は、各ユニット100<sub>i</sub>から順次に入力された電圧信号V<sub>h,i</sub>を入力し、可変容量部C<sub>4,00</sub>の容量に応じて積分し、積分した結果である積分信号を出力する。

【0024】比較回路A<sub>4,02</sub>は、可変容量積分回路410から出力された積分信号を反転入力端子に入力し、最大値検出回路200から出力された最大電圧値V<sub>max</sub>を非反転入力端子に入力し、これら2つの入力信号の値を大小比較して、その大小比較の結果である比較結果信号を出力する。

【0025】容量制御部420は、比較回路A<sub>4,02</sub>から出力された比較結果信号を入力し、この比較結果信号に基づいて可変容量部C<sub>4,00</sub>の容量を制御する容量指示信号Cを出力するとともに、この比較結果信号に基づいて積分信号の値と最大電圧値V<sub>max</sub>とが所定の分解能で一致していると判断した場合に可変容量部C<sub>4,00</sub>の容量値に応じた第1のデジタル信号を出力する。

【0026】読み出し部430は、容量制御部420から出力された第1のデジタル信号を入力し、この第1のデジタル信号に対応する第2のデジタル信号を出力する。第2のデジタル信号は、第1のデジタル信号の値から可変容量積分回路410のオフセット値を除去した値を示すものである。読み出し部430は、例えば記憶素子であり、第1のデジタル信号をアドレスとして入力し、記憶素子のそのアドレスに記憶されているデータを第2のデジタル信号として出力する。この第2のデジタル信号は、本実施形態に係る光検出装置から出力される光検出信号となる。

【0027】図8はA/D変換回路400中の可変容量積分回路410の詳細な回路図である。この図では、 $1/2^4 = 1/16$ の分解能を有するA/D変換機能を備える回路構成を示し、以下、この回路構成で説明する。

【0028】この図に示すように、可変容量部C<sub>4,00</sub>は、容量素子C<sub>4,11</sub>~C<sub>4,14</sub>、スイッチ素子SW<sub>4,11</sub>~SW<sub>4,14</sub>およびスイッチ素子SW<sub>4,21</sub>~SW<sub>4,24</sub>を備える。容量素子C<sub>4,11</sub>およびスイッチ素子SW<sub>4,11</sub>は、互いに縦続接続されて、アンプA<sub>4,01</sub>の反転入力端子と出力端子との間に設けられており、スイッチ素子SW<sub>4,21</sub>は、容量素子C<sub>4,11</sub>およびスイッチ素子SW<sub>4,11</sub>の接続点と接地電位との間に設けられている。容量素子C<sub>4,12</sub>およびスイッチ素子SW<sub>4,12</sub>は、互いに縦続接続されて、アンプA<sub>4,01</sub>の反転入力端子と出力端子との間に設けられており、スイッチ素子SW<sub>4,22</sub>は、容量素子C<sub>4,12</sub>

およびスイッチ素子 $SW_{1,1}$ の接続点と接地電位との間に設けられている。容量素子 $C_{1,1}$ およびスイッチ素子 $SW_{1,1}$ は、互いに縦続接続されて、アンプ $A_{1,1}$ の反転入力端子と出力端子との間に設けられており、スイッチ素子 $SW_{1,1}$ は、容量素子 $C_{1,1}$ およびスイッチ素子 $SW_{1,1}$ の接続点と接地電位との間に設けられている。また、容量素子 $C_{1,1}$ およびスイッチ素子 $SW_{1,1}$ は、互いに縦続接続されて、アンプ $A_{1,1}$ の反転入力端子と出力端子との間に設けられており、スイッチ素子 $SW_{1,1}$ は、容量素子 $C_{1,1}$ およびスイッチ素子 $SW_{1,1}$ の接

【0029】スイッチ素子 $SW_{1,1} \sim SW_{1,4}$ それぞれは、容量制御部420から出力された容量指示信号Cのうち $C_{11} \sim C_{14}$ に基づいて開閉する。スイッチ素子 $SW_{2,1} \sim SW_{2,4}$ それぞれは、容量制御部420から出力された容量指示信号Cのうち $C_{21} \sim C_{24}$ に基づいて開閉する。また、容量素子 $C_{1,1} \sim C_{1,4}$ の容量値を $C_{1,1} \sim C_{1,4}$ で表すとすれば、これらは、  
 $C_{1,1} = 2C_{1,2} = 4C_{1,3} = 8C_{1,4} \quad \dots (1)$   
 $C_{1,1} + C_{1,2} + C_{1,3} + C_{1,4} = C_0 \quad \dots (2)$   
 なる関係を満たす。

【0030】次に、本実施形態に係る光検出装置の動作について説明する。図9は、本実施形態に係る光検出装置の動作を説明するためのタイミングチャートである。なお、以下では、本実施形態に係る光検出装置が発光ダイオード等の投光手段（図示せず）とともにパッシブ測距装置を構成する場合について説明する。すなわち、以下に説明する動作は、背景光成分を除去して、発光ダイオードから被写体に投光されたスポット光成分（信号光成分）のみについての光検出信号を出力するものである。

【0031】時刻 $t_1$ に、Reset信号が論理Hとなることにより、積分回路10のスイッチ素子 $SW_1$ が閉じて、容量素子 $C_1$ が放電され初期化される。また、Clamp1信号も論理Hとなることにより、CDS回路20のスイッチ素子 $SW_{2,1}$ が閉じて、CDS回路20におけるCDS動作が停止される。

【0032】時刻 $t_2$ に、Reset信号が論理Lとなることにより、積分回路10のスイッチ素子 $SW_1$ が開く。そして、時刻 $t_2$ 以降、フォトダイオードPDから出力された電荷が容量素子 $C_1$ に蓄積されていき、積分回路10の出力端子から出力される電圧信号は次第に大きくなっていく。この時刻 $t_2$ では、Clamp1信号は論理Hのままであり、CDS回路20のスイッチ素子 $SW_{2,1}$ は閉じたままである。また、時刻 $t_2$ では、CSW22信号およびCSW23信号それぞれは論理Lであり、CDS回路20のスイッチ素子 $SW_{2,2}$ および $SW_{2,3}$ それぞれは開いている。

【0033】時刻 $t_3$ に、Clamp1信号が論理Lとなることにより、CDS回路20のスイッチ素子 $SW_{2,1}$ が開き、また、CSW22信号が論理Hとなることにより、C

S回路20のスイッチ素子 $SW_{2,2}$ が閉じる。そして、時刻 $t_3$ から一定時間T経過後の時刻 $t_4$ に、Clamp1信号が論理Hとなることにより、CDS回路20のスイッチ素子 $SW_{2,1}$ が閉じ、また、CSW22信号が論理Lとなることにより、CDS回路20のスイッチ素子 $SW_{2,2}$ が開く。

【0034】時刻 $t_2 \sim t_4$ の間では、発光ダイオードから被写体にスポット光が投光されている。したがって、発光ダイオードから投光され被写体により反射されたスポット光成分および背景光成分の双方がフォトダイオードPDに入射して、それによって発生した電流信号がフォトダイオードPDから出力される。そして、その電流信号を入力した積分回路10では、容量素子 $C_1$ に電荷が蓄積され、その蓄積された電荷の量に応じた電圧信号が積分回路10から出力される。また、時刻 $t_3 \sim t_4$ の期間（第1の期間）では、積分回路10の出力端子から出力される電圧信号がCDS回路20に入力して、時刻 $t_3$ 以降の入力電圧信号の変化分に相当する電荷が容量素子 $C_{2,1}$ に蓄積され、その蓄積された電荷の量に応じた電圧信号がCDS回路20から出力される。したがって、時刻 $t_4$ にCDS回路20から出力される電圧信号は、時刻 $t_3$ および時刻 $t_4$ それぞれに積分回路10から出力される電圧信号の差に相当する電圧値 $V_{s,1}$ となり、積分回路10にて生じるノイズ成分が除去されたものとなる。

【0035】時刻 $t_4$ に、Reset信号が論理Hとなることにより、積分回路10のスイッチ素子 $SW_1$ が閉じて、容量素子 $C_1$ が放電され初期化される。また、Clamp1信号も論理Hとなることにより、CDS回路20のスイッチ素子 $SW_{2,1}$ が閉じて、CDS回路20におけるCDS動作が停止される。

【0036】時刻 $t_5$ に、Reset信号が論理Lとなることにより、積分回路10のスイッチ素子 $SW_1$ が開く。そして、時刻 $t_5$ 以降、フォトダイオードPDから出力された電荷が容量素子 $C_1$ に蓄積されていき、積分回路10の出力端子から出力される電圧信号は次第に大きくなっていく。この時刻 $t_5$ では、Clamp1信号は論理Hのままであり、CDS回路20のスイッチ素子 $SW_{2,1}$ は閉じたままである。また、時刻 $t_5$ では、CSW22信号およびCSW23信号それぞれは論理Lであり、CDS回路20のスイッチ素子 $SW_{2,2}$ および $SW_{2,3}$ それぞれは開いている。

【0037】時刻 $t_6$ に、Clamp1信号が論理Lとなることにより、CDS回路20のスイッチ素子 $SW_{2,1}$ が開き、また、CSW23信号が論理Hとなることにより、CDS回路20のスイッチ素子 $SW_{2,3}$ が閉じる。そして、時刻 $t_6$ から一定時間T経過後の時刻 $t_7$ に、Clamp1信号が論理Hとなることにより、CDS回路20のスイッチ素子 $SW_{2,1}$ が閉じ、また、CSW23信号が論理Lとなることにより、CDS回路20のスイッチ素子 $SW_{2,3}$ が開く。

【0038】時刻 $t_5 \sim t_7$ の間では、発光ダイオードから被写体にスポット光が投光されていない。したがっ

て、背景光成分のみがフォトダイオードPDに入射して、それによって発生した電流信号がフォトダイオードPDから出力される。そして、その電流信号を入力した積分回路10では、容量素子 $C_1$ に電荷が蓄積され、その蓄積された電荷の量に応じた電圧信号が積分回路10から出力される。また、時刻 $t_0 \sim t_1$ の期間(第2の期間)では、積分回路10の出力端子から出力される電圧信号がCDS回路20に入力して、時刻 $t_1$ 以降の入力電圧信号の変化分に相当する電荷が容量素子 $C_2$ に蓄積され、その蓄積された電荷の量に応じた電圧信号がCDS回路20から出力される。したがって、時刻 $t_1$ にCDS回路20から出力される電圧信号は、時刻 $t_0$ および時刻 $t_1$ それぞれに積分回路10から出力される電圧信号の差に相当する電圧値 $V_{n1}$ となり、積分回路10にて生じるノイズ成分が除去されたものとなる。

【0039】時刻 $t_1$ 以降では、CDS回路20の容量素子 $C_2$ に蓄積されている電荷は、スポット光成分と背景光成分とを加算したものに相当するものであり、CDS回路20の容量素子 $C_2$ に蓄積されている電荷は、背景光成分のみに相当するものである。また、時刻 $t_0 \sim t_1$ までの期間(第1の期間)と時刻 $t_1 \sim t_2$ までの期間(第2の期間)とは互いに等しい時間 $T$ であり、容量素子 $C_2$ および $C_1$ それぞれの容量は互いに等しいので、電圧値 $V_{n1}$ は、スポット光成分と背景光成分とを加算したものに相当するものであり、電圧値 $V_{n2}$ は、背景光成分のみに相当するものであり、したがって、これらの間の電圧差 $\Delta V_n = (V_{n1} - V_{n2})$ は、スポット光成分のみに相当するものである。そこで、時刻 $t_1$ 以降では、この電圧差 $\Delta V_n$ が差分演算回路30により以下のようにして求められる。

【0040】時刻 $t_1$ 以降(第3の期間)、Reset信号は論理Hであり、積分回路10のスイッチ素子 $SW_1$ が閉じて、容量素子 $C_1$ が放電され初期化状態が維持される。また、Clamp1信号は論理Lであり、CDS回路20のスイッチ素子 $SW_{21}$ が開いたままである。

【0041】時刻 $t_0 \sim t_1$ の期間に、CSW22信号は論理Hであり、CDS回路20のスイッチ素子 $SW_{22}$ は閉じる。Sample信号は論理Hであり、差分演算回路30のスイッチ素子 $SW_{31}$ は閉じる。このとき、Clamp2信号は論理Hであり、差分演算回路30のスイッチ素子 $SW_{32}$ は閉じている。この期間にCDS回路20の出力端子から出力される電圧信号は、容量素子 $C_2$ に蓄積された電荷の量に応じた電圧値 $V_{n1}$ であり、この電圧値 $V_{n1}$ が差分演算回路30の容量素子 $C_3$ に保持される。

【0042】時刻 $t_1 \sim t_2$ の期間に、CSW23信号は論理Hであり、CDS回路20のスイッチ素子 $SW_{23}$ は閉じる。Sample信号は論理Hであり、差分演算回路30のスイッチ素子 $SW_{31}$ は閉じる。このとき、Clamp2信号は論理Lであり、差分演算回路30のスイッチ素子 $SW_{32}$ は開いている。この期間にCDS回路20の出力端

子から出力される電圧信号は、容量素子 $C_2$ に蓄積された電荷の量に応じた電圧値 $V_{n1}$ である。このとき、差分演算回路30のスイッチ素子 $SW_{32}$ は開いているので、差分演算回路30の容量素子 $C_3$ には、電圧値 $V_{n1}$ と電圧値 $V_{n2}$ との差 $\Delta V_n$ が保持される。この電圧値 $\Delta V_n$ は、スポット光成分のみに相当するものである。

【0043】そして、Hold信号が論理Hとなり、ホールド回路40のスイッチ素子 $SW_4$ が閉じると、差分演算回路30の容量素子 $C_3$ に保持されている電圧値 $\Delta V_n$ は、差分演算回路30のアンプ $A_3$ およびホールド回路40のスイッチ素子 $SW_4$ を経て、ホールド回路40の容量素子 $C_4$ に保持される。そして、時刻 $t_{11}$ にHold信号が論理Lとなってスイッチ素子 $SW_4$ が開いた後も、ホールド回路40の容量素子 $C_4$ に保持された電圧値 $\Delta V_n$ は、アンプ $A_4$ から電圧信号 $V_{n3}$ として出力される。

【0044】各ユニット100<sub>n</sub>のホールド回路40から出力された電圧信号 $V_{n3}$ は、最大値検出回路200に入力して最大電圧値 $V_{max}$ が検出される。また、各ユニット100<sub>n</sub>のスイッチ素子 $SW_5$ がシフトレジスタ500により順次に閉じられて、各ユニット100<sub>n</sub>のホールド回路40から出力された電圧信号 $V_{n3}$ は、A/D変換回路400に順次に入力する。

【0045】続いて、図10を用いて、A/D変換回路400の動作を説明する。時刻 $t_{11}$ においては、可変容量積分回路410のスイッチ素子 $SW_{401}$ は閉じられ、可変容量積分回路410はリセット状態とされている。また、可変容量積分回路410のスイッチ素子 $SW_{411} \sim SW_{41n}$ それぞれが閉じられ、スイッチ素子 $SW_{421} \sim SW_{42n}$ それぞれが開じられて、可変容量部 $C_{400}$ の容量値が $C_0$ に設定されている。

【0046】そして、時刻 $t_{11}$ 以降の或る時刻に、A/D変換回路400のスイッチ素子 $SW_{401}$ が開かれ、第1番目のユニット100<sub>1</sub>のスイッチ素子 $SW_5$ が閉じられる。ユニット100<sub>1</sub>のホールド回路40から出力された電圧信号 $V_{13}$ は、スイッチ素子 $SW_5$ を介して、A/D変換回路400の可変容量積分回路410に入力する。可変容量積分回路410の容量素子 $C_{401}$ に電圧信号 $V_{13}$ が入力すると、その電圧信号 $V_{13}$ の値と可変容量部 $C_{400}$ の容量値 $C_0$ とに応じた電荷 $Q$ が可変容量部 $C_{400}$ に流入する(図10(a)参照)。このとき、可変容量積分回路410から出力される積分信号の値 $V_{11}$ は、

$$V_{11} = V_{13} = Q / C_0 \quad \dots (2)$$

なる式で表される。

【0047】引き続き、容量制御部420は、可変容量部 $C_{400}$ のスイッチ素子 $SW_{411} \sim SW_{41n}$ を開いた後、スイッチ素子 $SW_{421} \sim SW_{42n}$ を閉じる(図10(b)参照)。この結果、可変容量部 $C_{400}$ の容量値は $C_{411}$ となり、可変容量積分回路410から出力される積分信号の値 $V_{11}$ は、

10

20

30

40

50



$$V_{n1} = Q / C_{n1} \quad \cdots (3)$$

となる。この積分信号は、比較回路A<sub>n1</sub>に inputs し、その値が最大電圧値V<sub>max</sub>と大小比較される。

【0048】もし、 $V_{n1} > V_{max}$ であれば、この比較結果を受けて容量制御部420は、さらに、可変容量部C<sub>n0</sub>のスイッチ素子SW<sub>n1</sub>を開いた後に、スイッチ素子SW<sub>n1</sub>を閉じる(図10(c)参照)。この結果、可変容量部C<sub>n0</sub>の容量値はC<sub>n1</sub>+C<sub>n2</sub>となり、可変容量積分回路410から出力される積分信号の値V<sub>n2</sub>は、 $V_{n2} = Q / (C_{n1} + C_{n2}) \quad \cdots (4)$

となる。この積分信号は、比較回路A<sub>n1</sub>に inputs し、その値が最大電圧値V<sub>max</sub>と大小比較される。

【0049】また、 $V_{n1} < V_{max}$ であれば、この比較結果を受けて容量制御部420は、さらに、可変容量部C<sub>n0</sub>のスイッチ素子SW<sub>n1</sub>およびSW<sub>n2</sub>を開いた後に、スイッチ素子SW<sub>n1</sub>およびSW<sub>n2</sub>を閉じる(図10(d)参照)。この結果、可変容量部C<sub>n0</sub>の容量値はC<sub>n2</sub>となり、可変容量積分回路410から出力される積分信号の値V<sub>n3</sub>は、 $V_{n3} = Q / C_{n2} \quad \cdots (5)$

となる。この積分信号は、比較回路A<sub>n1</sub>に inputs し、その値が最大電圧値V<sub>max</sub>と大小比較される。

【0050】以後、同様にして、可変容量積分回路410、比較回路A<sub>n1</sub>および容量制御部420からなるフィードバックループにより、積分信号の値と基準電位V<sub>ref</sub>とが所定の分解能で一致していると容量制御部420により判断されるまで、可変容量部C<sub>n0</sub>の容量値の設定、および、積分信号の値と最大電圧値V<sub>max</sub>との大小比較を繰り返す。容量制御部420は、このようにして可変容量部C<sub>n0</sub>の容量素子C<sub>n1</sub>~C<sub>n4</sub>の全てについて容量制御を終了すると、可変容量部C<sub>n0</sub>の最終的な容量値に応じたデジタル信号を読み出し部430へ向けて出力する。

【0051】読み出し部430では、容量制御部420から出力されたデジタル信号をアドレスとして inputs し、記憶素子のそのアドレスに記憶されているデジタルデータを、本実施形態に係る光検出装置の光検出信号として出力する。以上のようにして、第1番目のユニット100<sub>1</sub>のフォトダイオードPDが受光したスポット光の光量に応じた電圧信号V<sub>n1</sub>は、A/D変換回路400によりデジタル信号に変換され、そのデジタル信号が光検出信号として出力される。以降同様にして、第2番目以降のユニット100<sub>n</sub>のフォトダイオードPDが受光したスポット光の光量に応じた電圧信号V<sub>n2</sub>は、A/D変換回路400によりデジタル信号に変換され、そのデジタル信号が光検出信号として順次出力される。

【0052】可変容量積分回路410に inputs する各電圧信号V<sub>n1</sub>の最大値が最大電圧値V<sub>max</sub>であり、可変容量部C<sub>n0</sub>の容量値の最大値がC<sub>0</sub>であることから、上記(2)式より、可変容量部C<sub>n0</sub>に流入する電荷Qの最大値

は $V_{max} \cdot C_0$ である。そして、或る第n番目の電圧信号V<sub>n1</sub>が最大電圧値V<sub>max</sub>であるときには、可変容量部C<sub>n0</sub>のスイッチ素子SW<sub>n1</sub>~SW<sub>n4</sub>の全てが閉じられて可変容量部C<sub>n0</sub>の容量値はC<sub>0</sub>となる。一方、他の或る第n番目の電圧信号V<sub>n1</sub>が最大電圧値V<sub>max</sub>より小さい値であるときには、可変容量部C<sub>n0</sub>に流入する電荷Qは $V_{max} \cdot C_0$ より小さいので、可変容量部C<sub>n0</sub>のスイッチ素子SW<sub>n1</sub>~SW<sub>n4</sub>のうち何れかが開くことにより、可変容量積分回路410から出力される積分信号は最大電圧値V<sub>max</sub>と等しくなる。

【0053】以上のように、最大値検出回路200から出力され比較回路A<sub>n1</sub>に inputs される最大電圧値V<sub>max</sub>は、A/D変換回路400が飽和することなくA/D変換することができる電圧信号V<sub>n1</sub>の最大値すなわちA/D変換レンジを規定している。しかも、A/D変換回路400に inputs する各電圧信号V<sub>n1</sub>のうち何れかの値は必ず最大電圧値V<sub>max</sub>であるから、上記A/D変換レンジの全ての範囲を有効に活用することができる。すなわち、本実施形態に係る光検出装置は、受光量が大きくても飽和することなく、且つ、受光量が小さくてもA/D変換の分解能が優れたものとなる。

【0054】また、光検出装置が測距装置に用いられる場合のように、スポット光成分および背景光成分の撮像結果から背景光成分の撮像結果を差し引くことによりスポット光成分のみの像を得る場合であって、フォトダイオードPDが受光する光のうちスポット光成分に比べて背景光成分が大きい場合であっても、その差し引いた結果として得られるスポット光成分に基づいてA/D変換回路400から出力されるデジタル信号は、分解能が優れたものとなる。

【0055】さらに、本実施形態では、スポット光成分および背景光成分の双方がフォトダイオードPDにより受光されているときに、一定時間Tにおける積分回路10から出力される電圧信号の変動分V<sub>n1</sub>がCDS回路20の容量素子C<sub>n2</sub>に保持される。また、背景光成分のみがフォトダイオードPDにより受光されているときに、一定時間Tにおける積分回路10から出力される電圧信号の変動分V<sub>n2</sub>がCDS回路20の容量素子C<sub>n2</sub>に保持される。そして、その後に、電圧値V<sub>n1</sub>と電圧値V<sub>n2</sub>との差に相当する電圧信号V<sub>n3</sub>が、差分演算回路30により求められ、ホールド回路40から出力される。したがって、CDS回路20から出力される電圧値V<sub>n1</sub>および電圧値V<sub>n2</sub>や、ホールド回路40から出力される電圧信号V<sub>n3</sub>は、積分回路10にて生じるノイズ成分が除去されたものとなる。

【0056】次に、本発明に係る光検出装置における差分演算回路の他の実施形態について説明する。図11は、他の実施形態に係る光検出装置の差分演算回路30Aの回路図である。この差分演算回路30Aは、図1における差分演算回路30に替えて用いられるものであ

る。各ユニット100<sub>n</sub>の差分演算回路30Aは、入力端子と出力端子との間に順にスイッチ素子 $SW_{n1}$ 、容量素子 $C_{n1}$ およびアンプ $A_n$ を有し、また、スイッチ素子 $SW_{n2}$ および容量素子 $C_{n2}$ がアンプ $A_n$ の入出力間に互いに並列的に接続されている。この図11に示す差分演算回路30Aは、図3に示したものと略同様に動作する。すなわち、この差分演算回路30Aは、スイッチ素子 $SW_{n2}$ を閉じているときにスイッチ素子 $SW_{n1}$ を一定期間だけ閉じることで、CDS回路20から容量素子 $C_{n1}$ を経て流入した電荷 $Q_1$ だけ容量素子 $C_{n2}$ に充電する。そして、スイッチ素子 $SW_{n2}$ を開いているときにスイッチ素子 $SW_{n1}$ を一定期間だけ閉じることで、CDS回路20から容量素子 $C_{n1}$ を経て流入した電荷 $Q_2$ だけ容量素子 $C_{n2}$ から放電する。このようにして、電荷 $Q_1$ と電荷 $Q_2$ との差分すなわち電荷 $(Q_1 - Q_2)$ を容量素子 $C_{n2}$ に蓄積して、その蓄積された電荷 $(Q_1 - Q_2)$ に応じた電圧信号をアンプ $A_n$ から出力する。スイッチ素子 $SW_{n1}$ は、タイミング制御回路300から出力されるSample信号に基づいて開閉する。また、スイッチ素子 $SW_{n2}$ は、タイミング制御回路300から出力されるClamp2信号に基づいて開閉する。

【0057】本発明は、上記実施形態に限定されるものではなく種々の変形が可能である。例えば、A/D変換回路400を設けることなく、各ユニット100<sub>n</sub>のホールド回路40から電圧信号 $V_{n1}$ を光検出回路の出力信号として順次に出力してもよい。

【0058】また、上記実施形態では、2以上のフォトダイオードを有する光検出装置すなわち撮像装置について説明したが、1つのフォトダイオードを有する光検出装置にも本発明を適用することができる。この場合には、フォトダイオードPD、積分回路10、CDS回路20および差分演算回路30（または30A）を1組だけ備えれば充分であり、同様にしてS/N比が優れたものとなる。

【0059】また、上記実施形態では、各ユニット100<sub>n</sub>のホールド回路40から出力される電圧信号 $V_{n1}$ のうちの最大値を最大値検出回路200により検出したが、各ユニット100<sub>n</sub>の差分演算回路30（または30A）から出力される電圧信号のうちの最大値を最大値検出回路200により検出してもよい。

【0060】

【発明の効果】以上、詳細に説明したとおり、本発明によれば、受光した光の光量に応じた電流信号が受光素子から出力され、積分回路では、受光素子から出力された電流信号に応じて電荷が蓄積されて、その蓄積された電荷の量に応じた電圧信号が出力される。CDS回路では、積分回路から出力される電圧信号が第1の容量素子に入力し、スイッチ手段により選択された第2および第3の容量素子のうち何れか一方に、その入力した電圧信号の変化量に応じた電荷量が蓄積される。そして、差分

演算回路では、CDS回路の第2および第3の容量素子それぞれに蓄積されている電荷量の差分が求められ、その差分に応じた電圧信号が出力される。

【0061】したがって、積分回路が各積分動作毎に異なるノイズばらつきを有していても、CDS回路によりノイズ誤差が解消される。また、第1の期間に、CDS回路の第2および第3の容量素子のうち一方にスポット光成分（信号光成分）および背景光成分に応じた電荷が蓄積され、第2の期間に、他方に背景光成分に応じた電荷が蓄積され、そして、第3の期間に両者の差分が差分演算回路で求められるので、差分演算回路から出力される電圧信号は、スポット光成分（信号光成分）のみに応じたものである。このように、受光素子が受光する光の光量すなわち上記電圧信号の値が小さい場合であっても、光検出のS/N比は優れたものとなる。

【0062】さらに、発光ダイオード等の投光手段の発光タイミングの都合により、積分回路への電荷の蓄積の順序を変更しなければならぬ場合、すなわち、上記第1の期間および上記第2の期間を変更しなければならぬ場合、従来技術では、積分回路に続く回路系が固定されて片極性しか動作が許されないことから、このような変更は不可能であった。しかし、本発明によれば、CDS回路の第2および第3の容量素子は互いに独立に制御可能であるので、これらに蓄積された情報も互いに独立に取り出すことができる。すなわち、本発明によれば、上記第1の期間および上記第2の期間を容易に変更することができる。

【0063】また、受光素子、積分回路、CDS回路、差分演算回路およびホールド回路がN組備えられ、各組の差分演算回路から出力される電圧信号がホールド回路により保持され、そして、A/D変換回路では、N個のホールド回路それぞれから出力される電圧信号が順次に入力され、その電圧信号がデジタル信号に変換されて、そのデジタル信号が出力される。この場合には、1次元像または2次元像が撮像されて、その撮像結果がデジタル信号として出力される、また、最大値検出回路により、N個の差分演算回路またはホールド回路それぞれから出力される電圧信号の最大値が検出され、A/D変換回路では、最大値検出回路により検出された最大値に基づいてA/D変換レンジが設定される場合には、受光量が大きくても飽和することなく、受光量が小さくても分解能が優れたものとなる。

【図面の簡単な説明】

【図1】本実施形態に係る光検出装置の全体の概略構成図である。

【図2】本実施形態に係る光検出装置の積分回路の回路図である。

【図3】本実施形態に係る光検出装置のCDS回路の回路図である。

【図4】本実施形態に係る光検出装置の差分演算回路の

回路図である。

【図5】本実施形態に係る光検出装置のホールド回路の回路図である。

【図6】本実施形態に係る光検出装置の最大値検出回路の回路図である。

【図7】本実施形態に係る光検出装置のA/D変換回路の回路図である。

【図8】A/D変換回路中の可変容量積分回路の詳細な回路図である。

【図9】本実施形態に係る光検出装置の動作を説明する\*10

\*ためのタイミングチャートである。

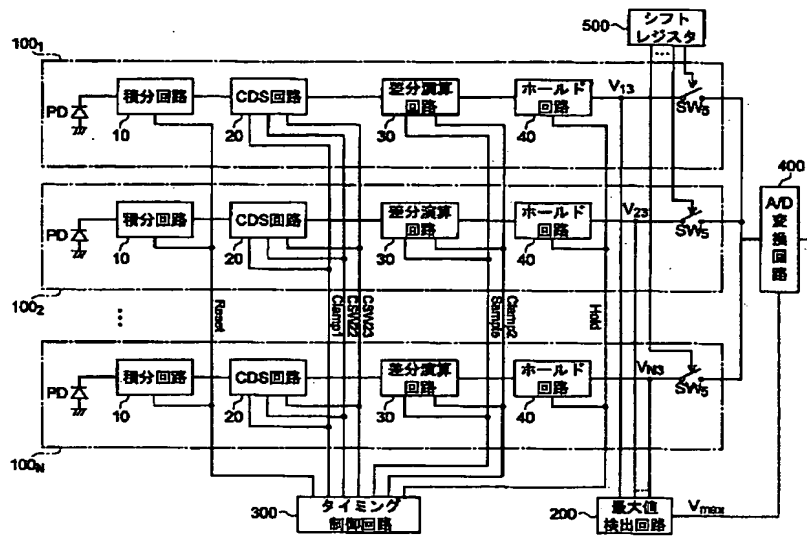
【図10】A/D変換回路の動作を説明する図である。

【図11】他の実施形態に係る光検出装置の差分演算回路の回路図である。

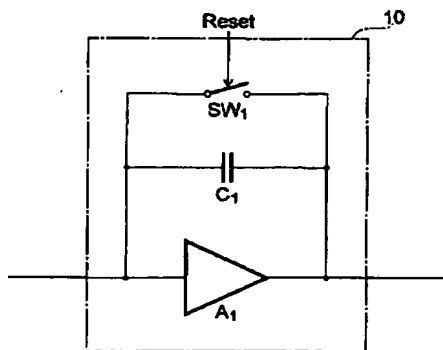
【符号の説明】

PD…フォトダイオード(受光素子)、10…積分回路、20…CDS回路、30…差分演算回路、40…ホールド回路、200…最大値検出回路、300…タイミング制御回路、400…A/D変換回路、500…シフトレジスタ。

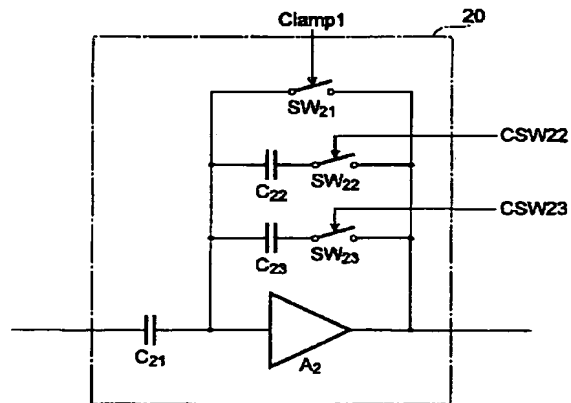
【図1】



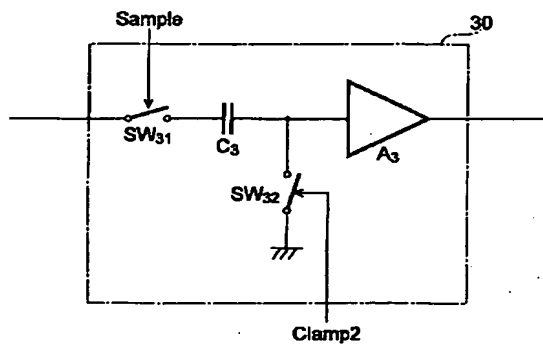
【図2】



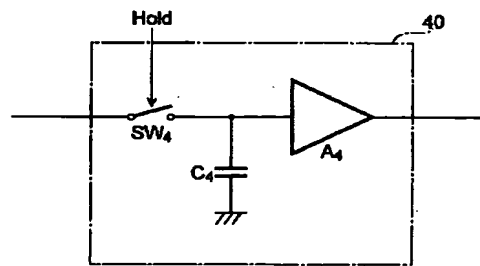
【図3】



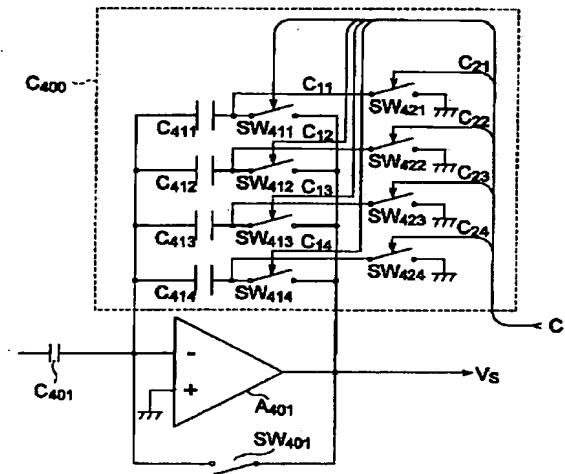
【図4】



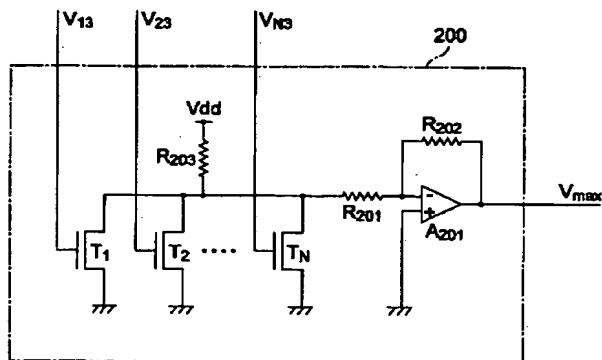
【図5】



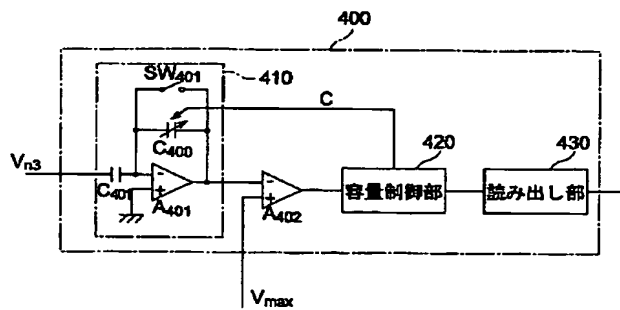
【図8】



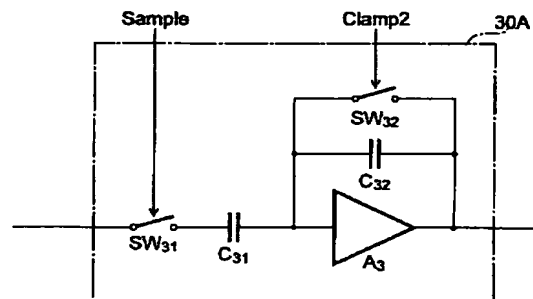
【図6】



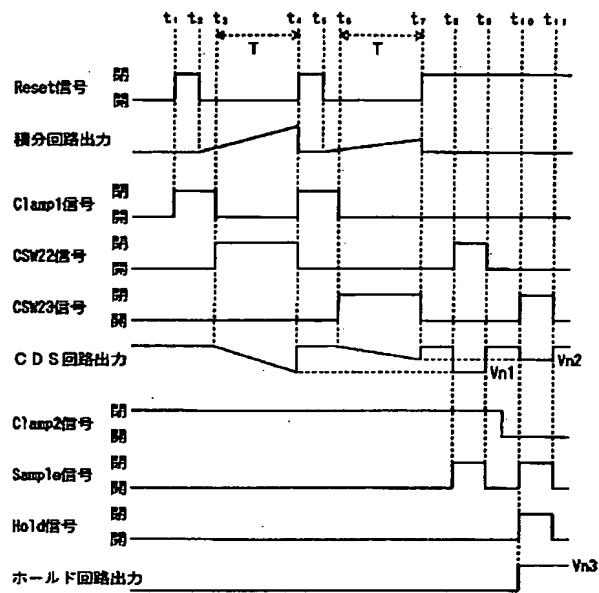
【図7】



【図11】



【図9】



【図10】

